

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

14664695

Basic Patent (No,Kind,Date): JP 10233511 A2 980902 <No. of Patents: 001>

THIN FILM TRANSISTOR DEVICE, ITS MANUFACTURE, AND LIQUID CRYSTAL
DISPLAY DEVICE (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): SETO TOSHISUKE

IPC: *H01L-029/786; G02F-001/136; H01L-029/41; H01L-021/336

CA Abstract No: *129(19)253416R; 129(19)253416R

Derwent WPI Acc No: *G 98-527346; G 98-527346

Language of Document: Japanese

Patent Family:

| Patent No | Kind | Date | Applic No | Kind | Date |
|-------------|------|--------|------------|------|----------------|
| JP 10233511 | A2 | 980902 | JP 9737805 | A | 970221 (BASIC) |

Priority Data (No,Kind,Date):

JP 9737805 A 970221

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-233511

(43)Date of publication of application : 02.09.1998

(51)Int.Cl. H01L 29/786
G02F 1/136
H01L 29/41
H01L 21/336

(21)Application number : 09-037805

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 21.02.1997

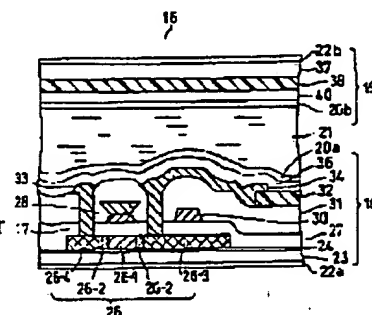
(72)Inventor : SETO TOSHISUKE

(54) THIN FILM TRANSISTOR DEVICE, ITS MANUFACTURE, AND LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To easily obtain an LDD having a desired length by forming the cross section of the first layer on a channel area side of a gate wiring layer having a two-layer structure in a forwardly tapered shape and that of the second layer on a surface side in a reversely tapered shape.

SOLUTION: On a semiconductor layer 26, a TFT 17 forming a gate wiring layer having such a two-layer structure that the cross section of the first layer 28a composed of a first gate metal film is forwardly tapered at 30° and the cross section of a second layer 28b composed of a second gate metal film is reversely tapered at 30° and made of a molybdenum-tungsten alloy is provided. In addition, an auxiliary capacitive line 30 is formed flush with the wiring layer 28. Therefore, the number of manufacturing processes of a thin film transistor device can be reduced and a LDD having a desired length can be obtained easily without causing length dispersion, because ion doping can be performed simultaneously on an LDD area and a source-drain area in a self-aligning way through one time of doping process.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

| | |
|--|---|
| <p>1999-596984/51 L03 SEME 1998.03.13 SEMICONDUCTOR ENERGY LAB 1998.03.13 1998-082948(+1998JP-082948) (1999.09.24) H01L 29/786, 21/336 Thin film transistor with phosphorus element for active matrix liquid crystal display device - uses phosphorus element which enhances silicon crystallization in high and low concentration areas of source or drain area and LDD area, respectively C1999-174183</p> | <p>L(3-G5B, 4-E1A)</p> |
| <p><u>NOVELTY</u> Source or drain area (109) is formed adjacent to an LDD area (108), which is adjacent to a channel formation area (107) contacting a gate insulating film (104). Phosphorus element which enhances crystallization is included in high and low concentration areas of source or drain area and LDD area, respectively. <u>DETAILED DESCRIPTION</u> A gate insulating film (104) contacts a gate electrode formed by laminating a tantalum layer (110) and an aluminum layer (105). An INDEPENDENT CLAIM is also included for thin film transistor manufacturing method.</p> | <p><u>USE</u> Used for active matrix type LCD device. <u>ADVANTAGE</u> Prevents short defects occurring between gate electrode and barrier layer and diffusion of aluminum atom. Suppresses reduction of TFT characteristics. Improves long term reliability of TFT, by forming LDD area and offset area. <u>DESCRIPTION OF DRAWING</u> The figure shows component rear gate electrode of TFT. (104) Gate insulating film; (105) Aluminum layer; (107) Channel formation area; (108) LDD area; (109) Source or drain area; (110) Tantalum layer.</p> |

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-233511

(43)公開日 平成10年(1998) 9月2日

| (51)IntCl. ⁸ | 識別記号 | F I | |
|-------------------------|-------|---------------|---------|
| H 0 1 L 29/786 | | H 0 1 L 29/78 | 6 1 7 K |
| G 0 2 F 1/136 | 5 0 0 | G 0 2 F 1/136 | 5 0 0 |
| H 0 1 L 29/41 | | H 0 1 L 29/44 | Z |
| 21/336 | | 29/78 | 6 1 6 A |
| | | | 6 1 7 V |

審査請求 未請求 請求項の数7 OL (全 6 頁)

(21)出願番号 特願平9-37805

(22)出願日 平成9年(1997) 2月21日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 瀬戸 俊祐

埼玉県深谷市幡羅町一丁目9番2号 株式
会社東芝深谷電子工場内

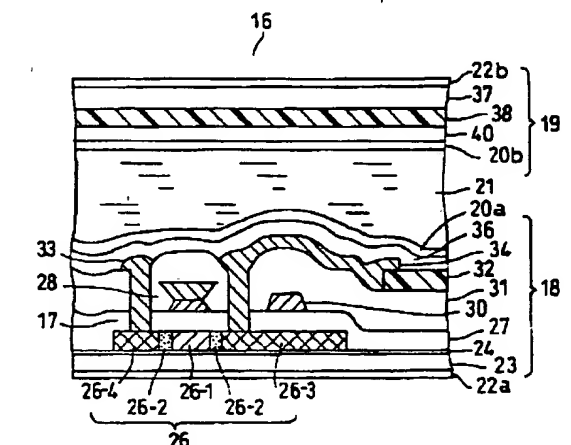
(74)代理人 弁理士 大胡 典夫 (外1名)

(54)【発明の名称】 薄膜トランジスタ装置及び薄膜トランジスタ装置の製造方法並びに液晶表示装置

(57)【要約】

【課題】 トップゲートn型TFTにおいて、所望長さのLDD領域を高精度にて容易に得ることにより、TFTの移動度の低下あるいはばらつき更には、しきい値のばらつきを防止し、高移動度且つ安定した特性を有するTFTを得、ひいては液晶表示装置の表示品位向上を図ると共に、大型の液晶表示装置への適用を図る。

【解決手段】 第1層28a及び第2層28bを夫々順テーパー状及び逆テーパー状に形成してなるゲート配線層28をマスクとして、半導体層26上に1回のイオン・ドーピング工程によりLDD領域26-2及びソース領域26-3、ドレイン領域26-4を自己整合的に形成し、所望長さのLDD領域を有するTFTを得る。



16: 液晶表示装置 17: TFT 18: TFT基板
21: 液晶素子 26: 半導体層 26-1: チャネル領域
26-2: LDD領域 26-3: ソース領域 26-4: ドレイン領域
28: ゲート配線層 32: 画素電極 33: ドレイン電極 34: ソース電極

【特許請求の範囲】

【請求項1】 絶縁性基板と、この絶縁性基板上に形成されるポリシリコンからなるチャネル領域と、低濃度不純物領域を介して前記チャネル領域を挟み前記ポリシリコンを低抵抗化して成るソース・ドレイン領域と、ゲート絶縁膜を介し前記チャネル領域上に形成され前記チャネル領域側の第1層の断面が順テーパ形状であり表面側の第2層の断面が逆テーパ形状の2層構造を有するゲート配線層と、層間絶縁膜を介し前記ソース・ドレイン領域に接続されるソース・ドレイン配線層とを具備する事を特徴とする薄膜トランジスタ装置。

【請求項2】 ゲート配線層にモリブデン(Mo)の合金を用いる事を特徴とする請求項1に記載の薄膜トランジスタ装置。

【請求項3】 ゲート配線層の第1層のゲート絶縁膜との界面での配線幅を $a\mu\text{m}$ 、第1層及び第2層の界面での配線幅を $b\mu\text{m}$ 、第2層の上面での層間絶縁膜との界面での配線幅を $c\mu\text{m}$ とした場合、 $c>a>b$ である事を特徴とする請求項1あるいは請求項2のいずれかに記載の薄膜トランジスタ装置。

【請求項4】 $0.2\mu\text{m}\leq(c-a)\leq2\mu\text{m}$ である事を特徴とする請求項3に記載の薄膜トランジスタ装置。

【請求項5】 絶縁性基板上にポリシリコン層及びゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1のゲート金属膜を成膜する工程と、前記第1のゲート金属膜上に第2のゲート金属膜を成膜する工程と、前記第1のゲート金属膜の断面を順テーパ形状に加工すると共に前記第2のゲート金属膜の断面を逆テーパ形状に加工し2層構造のゲート配線層を形成する工程と、前記ゲート配線層をマスクにして前記ポリシリコン層にイオンドーピングし低濃度不純物領域及びソース・ドレイン領域を同時に形成する工程と、を具備する事を特徴とする薄膜トランジスタ装置の製造方法。

【請求項6】 第1のゲート金属膜及び第2のゲート金属膜にモリブデン(Mo)の合金を用いる事を特徴とする請求項5に記載の薄膜トランジスタ装置の製造方法。

【請求項7】 第1の絶縁性基板と、この第1の絶縁性基板上にマトリクス状に配列される画素電極と、前記第1の絶縁性基板上に形成されるポリシリコンからなるチャネル領域及び、低濃度不純物領域を介して前記チャネル領域を挟み前記ポリシリコンを低抵抗化して成るソース・ドレイン領域並びに、ゲート絶縁膜を介し前記チャネル領域上に形成され前記チャネル領域側の第1層の断面が順テーパ形状であり表面側の第2層の断面が逆テーパ形状の2層構造を有するゲート配線層更に、層間絶縁膜を介し前記ソース・ドレイン領域に接続されるソース・ドレイン配線層を有し前記画素電極を駆動する薄膜トランジスタ装置とを有するアレ基板と、第2の絶縁基板と、この第2の絶縁基板上に形成される

対向電極とを有し、前記アレ基板に対向して配置される対向基板と、

前記アレ基板及び前記対向基板間に封入される液晶組成物とを具備する事を特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ゲート絶縁膜を介し半導体層上方にゲート配線層を有するトップゲート型の薄膜トランジスタ装置及び薄膜トランジスタ装置の製造方法並びにトップゲート型の薄膜トランジスタ装置を駆動素子とするアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】 半導体材料としてポリシリコンを用いた薄膜トランジスタ装置(以下TFTと称する。)は、移動度が数 $10\sim$ 数 $100\text{cm}^2/\text{Vs}$ と高い事から、アクティブマトリクス液晶表示装置の画素部の駆動素子や回路部駆動素子として用いられる。そして画素部の駆動素子として一般に用いられるトップゲート型のn型のポリシリコンTFTに在っては、TFTがオフ状態の時にリーク電流を生じてしまうため、ソース及びドレイン間にかかる電界を緩和する様、チャネル層と高濃度の不純物を有するドレイン領域との間に、微量に不純物を添加した低濃度不純物(以下LDDと称する。)領域を設けて、リーク電流の低減を図っている。

【0003】 この様なLDD領域を有するTFTは、従来、図5に示すように製造されていた。即ち、

①図5(イ)に示す様にガラス基板1上に酸化シリコン(SiO_2)からなるアンダーコート膜2を成膜した後、アモルファスシリコン膜を積層し、レーザアニールにより、アモルファスシリコン膜をポリシリコン膜に結晶化し、マトリクス状にハターニングしポリシリコン膜からなる半導体層3を形成する。

【0004】 ②図5(ロ)に示す様にゲート絶縁膜4、ゲート配線6を形成し、低ドーズにてリン(P^+)イオンをドーピングし半導体層3にチャネル領域3-1、LDD領域3-2を形成する。

【0005】 ③図5(ハ)に示す様にレジストマスク7を形成し、高ドーズにてリン(P^+)イオンをドーピングし、半導体層3に n^+ のソース・ドレイン領域3-3を形成する。

【0006】 ④図5(ニ)に示す様にマスク7を除去し、層間絶縁膜8を形成する。

【0007】 ⑤図5(ホ)に示す様にコンタクトホール10a、10bを形成し、ソース電極12、ドレイン電極13を形成し、LDD領域を有するTFT14装置を完成していた。

【0008】

【発明が解決しようとする課題】 しかしながら上記従来のTFTにあっては、レジストマスクを用いてLDD領

域を形成することから、レジストマスク形成時のパターンの合わせずれ、及びゲート配線のサイドエッチング量のばらつきにより、LDD領域の長さを1~5 μ mの範囲内でしか制御できず、1 μ m以下の範囲での微細な長さ制御が不可能であり、LDD領域の長さのばらつきが大きくなり、ひいてはTFTの特性にばらつきを生じる一方、LDD領域の長さが長くなるとTFTは直列に抵抗を有する状況となり、移動度の低下を招き、液晶表示装置にあっては画面が部分的にしか表示されず、表示品位が著しく低下されてしまい特に大型のアクティブマトリクス型液晶表示装置への適用が不能になる等の問題を生じていた。

【0009】そこで本発明は上記課題を除去するもので、LDD領域長の微細な制御が可能であり、安定した特性を有すると共に、移動度が高く大型アクティブマトリクス液晶表示装置にあって良好な表示を得られる薄膜トランジスタ装置及び薄膜トランジスタ装置の製造方法並びに液晶表示装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は上記課題を解決するため、絶縁性基板と、この絶縁性基板上に形成されるポリシリコンからなるチャンネル領域と、低濃度不純物領域を介して前記チャンネル領域を挟み前記ポリシリコンを低抵抗化して成るソース・ドレイン領域と、ゲート絶縁膜を介し前記チャンネル領域上に形成され前記チャンネル領域側の第1層の断面が順テーパー形状であり表面側の第2層の断面が逆テーパー形状の2層構造を有するゲート配線層と、層間絶縁膜を介し前記ソース・ドレイン領域に接続されるソース・ドレイン配線層とを設けるものである。

【0011】又本発明は上記課題を解決するため、絶縁性基板上にポリシリコン層及びゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1のゲート金属膜を成膜する工程と、前記第1のゲート金属膜上に第2のゲート金属膜を成膜する工程と、前記第1のゲート金属膜の断面を順テーパー形状に加工すると共に前記第2のゲート金属膜の断面を逆テーパー形状に加工し2層構造のゲート配線層を形成する工程と、前記ゲート配線層をマスクにして前記ポリシリコン層にイオンドーピングし低濃度不純物領域及びソース・ドレイン領域を同時に形成する工程とを実施するものである。

【0012】又本発明は上記課題を解決するため、第1の絶縁性基板と、この第1の絶縁性基板上にマトリクス状に配列される画素電極と、前記第1の絶縁性基板上に形成されるポリシリコンからなるチャンネル領域及び、低濃度不純物領域を介して前記チャンネル領域を挟み前記ポリシリコンを低抵抗化して成るソース・ドレイン領域並びに、ゲート絶縁膜を介し前記チャンネル領域上に形成され前記チャンネル領域側の第1層の断面が順テーパー形状であり表面側の第2層の断面が逆テーパー形状の2層構造を

有するゲート配線層更に、層間絶縁膜を介し前記ソース・ドレイン領域に接続されるソース・ドレイン配線層を有し前記画素電極を駆動する薄膜トランジスタ装置とを有するアレイ基板と、第2の絶縁基板と、この第2の絶縁基板上に形成される対向電極とを有し、前記アレイ基板に対向して配置される対向基板と、前記アレイ基板及び前記対向基板間に封入される液晶組成物とを設けるものである。

【0013】上記構成により、所望の長さのLDDを容易に得る事ができ、薄膜トランジスタの移動度の低下を生じる事無くかつ特性の安定化を図り、表示品位の良好な液晶表示装置を得るものである。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図1乃至図3を参照して説明する。16は、アクティブマトリクス型の液晶表示装置であり、駆動素子としてポリシリコンの半導体層を有するトップゲート型のTFT17を用いるアレイ基板18及び対向基板19の間に、配向膜20a、20bを介して液晶組成物21を保持すると共に偏光板22a、22bを有している。

【0015】ここでアレイ基板18の第1の絶縁基板であるガラス基板23上の、酸化シリコン(SiO_2)からなるアンダーコート層24上には、ポリシリコンからなるチャンネル領域26-1、低ドーズのリン(P^+)イオンがドーピングされるLDD領域26-2、高ドーズのリン(P^+)イオンがドーピングされるソース領域26-3、ドレイン領域26-4を有するn型の半導体層26がパターン形成され、この半導体層26上にはゲート絶縁膜27を介し第1のゲート金属膜である第1層28aの断面が30度の順テーパー形状であり第2のゲート金属膜である第2層28bの断面が30度の逆テーパー形状の2層構造を有するモリブデンタングステン合金(以下MoWと略称する。)からなるゲート配線層28が形成されてなるTFT17が設けられ、又ゲート配線層28と同一面上には、補助容量線30が形成されている。

【0016】更に層間絶縁膜31を介し画素電極32が形成され、層間絶縁膜31上には信号線と一体のドレイン電極33、ソース領域26-3及び画素電極32を接続するソース電極34が形成され、コンタクトホール33a、34aを介しそれぞれドレイン領域26-4、ソース領域26-3に接続されている。又36は保護膜である。

【0017】一方対向基板19は、第2の絶縁基板であるガラス基板37の全面に対向電極38及び保護膜40を有し、アレイ基板18との間に液晶組成物21を封入し、液晶表示装置16を構成している。

【0018】次にアレイ基板18上のTFT17の製造工程について述べる。

【0019】①図3(イ)に示す様に先ずガラス基板2

3上に酸化シリコン膜(SiO_2)からなるアンダーコート層24、アモルファスシリコン膜41を順次積層し、レーザアニールによりアモルファスシリコン膜41をポリシリコン膜に結晶化する。

【0020】②図3(ロ)に示す様に結晶化されたポリシリコン膜からなる半導体層26をマトリクス状にパターンニングする。

【0021】③図3(ハ)に示す様にゲート絶縁膜27を100nm形成した後、スパッタリングによりMoWにてゲート配線層28の第1層28aを50nm形成し、一度大気にさらす。

【0022】④図3(ニ)に示す様にスパッタリングによりMoWにてゲート配線層28の第2層28bを350nm形成した後、等方性ドライエッチングにより、第1層28aをゲート絶縁膜27との界面での配線幅aが5 μm 、第2層28bとの界面での配線幅bが4.8 μm の順テーパー状に加工し、第2層28bを層間絶縁膜31との界面での配線幅cが6.2 μm の逆テーパー状に加工して $c > a > b$ とし、LDD領域26-2に対応する領域においては第1層28a及び第2層28bによるゲート配線層28の合計層厚が200nm以下となる様に加工されている。この後、ゲート配線層28をマスクにして、半導体層26のLDD領域26-2、ソース領域26-3及びドレイン領域26-4に同時に、自己活性化条件を加速電圧50KeV、キャリア濃度 $5 \times 10^{16} / \text{cm}^2$ とし、リン(P+)イオン・ドーピングを自己整合的に行う。

【0023】⑤図3(ホ)に示す様に、層間絶縁膜31を形成する。

【0024】⑥図3(ヘ)に示す様に、コンタクトホール33a、34aを形成する。

【0025】⑦図3(ト)に示す様にソース電極31、ドレイン電極32を形成し、TFT16を完成する。

【0026】即ち、製造工程④において、リン(P+)イオンの場合、加速電圧50KeVでドーピングを行うと、MoWのゲート配線層厚が200nm以下に加工される領域にあっては、イオンがゲート配線層28を突き抜ける事から、半導体層26のLDD領域26-2にゲート配線層28を突き抜けたリン(P+)イオンが打ち込まれ、1度のイオン・ドーピングにてLDD領域26-2とソース領域26-3及びドレイン領域26-4とが自動的に形成される事となる。

【0027】この様な製造工程にて形成されたTFT17の移動度及びしきい値電圧の面内ばらつきを100点測定した所、従来の製造工程にて形成されたTFTの移動度が $20 \sim 100 \text{ cm}^2 / \text{Vs}$ 、しきい値電圧が1~6Vといずれもばらつきが大きかったのに比し、移動度は $110 \sim 130 \text{ cm}^2 / \text{Vs}$ と高く且つばらつきも非常に小さく、しきい値電圧も2~4Vと非常にばらつきが小さく安定した特性を得られた。Bias Temper

ature Stress (以下BTSと略称する。)試験では、TFT17のゲートソース間0Vバイアス、ドレインソース間20Vバイアス、90℃、10000秒の条件で前後の移動度、しきい値電圧を比較した所、100個測定でいずれも移動度、しきい値電圧のシフトは見られ無かった。又、液晶表示装置16にあっては、画面上に非表示部分が現れる事が無く、良好な表示画像を得られた。

【0028】この様に構成すれば、ゲート配線層28の第1層28a及び第2層28bの、所望のLDD領域に相当する部分を、夫々順テーパー状及び逆テーパー状に形成し、ドーピング時、テーパー状部分にあっては、リン(P+)イオンのドーピング濃度を低下することにより、レジストマスクを用いる事無く、1回のドーピング工程にてLDD領域26-2と、ソース領域26-3及びドレイン領域26-4とを同時に自己整合的にイオン・ドーピングでき、製造工程数を低減できる。これと共に、レジストマスクの合わせずれ及びゲート配線層のサイドエッチング量のばらつきにより従来生じていたLDD長のばらつきを生じることもなく、従来に比しLDD長をより微細に制御可能であり所望のLDD長を容易に得られ、TFT17は高移動度を得られると共に、移動度やしきい値電圧のばらつきを生じる事無く安定した特性を得られる。又この様に高移動度且つ特性の安定したTFT17を用いた液晶表示装置16は画面に非表示部分を生じる事が無く良好な表示品位を得られ、大型のアクティブマトリクス型液晶表示装置への適用も可能となる。

【0029】更にゲート配線層28を2層構造とし、第1層28a及び第2層28bを夫々にテーパー形成する事により、LDD長の制御がより容易となる。

【0030】尚本発明は上記実施の形態に限られるものでなく、その趣旨を変えない範囲での変更は可能であって、例えば、テーパーの角度は限定されず、実験から、順テーパー及び逆テーパーのいずれにおいても20度~50度の範囲で制御可能であるし、ゲート配線層の第1層のゲート絶縁膜との界面での配線幅aと、第2層の層間絶縁膜との界面での配線幅cとの差(c-a)も任意であるが、(c-a)が2 μm より大きくなるとTFTの移動度が小さくなると共に加工性が悪くなる一方、ゲートソース間0Vバイアス、ドレインソース間20Vバイアス、90℃、10000秒の条件でのBTS試験において、図4に示す様に、(c-a)が0.2 μm 以上であれば、しきい値電圧シフトを生じないことから、 $0.2 \mu\text{m} \leq (a-b) \leq 2 \mu\text{m}$ である事がより好ましい。

【0031】尚、ゲート配線層の第1層及び第2層の層厚は、トータルとしてイオン・ドーピング時にチャネル領域へのイオンの侵入をブロックできる範囲である一方、工業的観点からは極力薄い方が望ましいが、TFTの特性に応じて設定される(c-a)の値に従って決定

され、例えば、ゲート配線層の電極材料としてMoWを用い、フッ素(F)系のガスを用いたドライエッチングにて形成する場合、テーパ角度を30度の条件でエッチングすると、(c-a)の値を1.2 μ mとしようとする、第1層の層厚50nm、第2層の層厚350nmとすれば良い。一般的には第1層の層厚を薄くする一方、第1層及び第2層の層厚差が200nm以下ではLDD長が小さくなり過ぎる半面、層厚差が500nm以上では逆テーパ部を層間絶縁膜にて被覆するのが難しくなることから、層厚差は、200~500nm程度とするのがより好ましい。

【0032】又、半導体層にイオン・ドーピングする際の自己活性化条件等も、LDD領域及びソース・ドレイン領域を同時に形成できるよう、ゲート配線層のテーパ部分をイオンが透過できる範囲であれば任意である。

【0033】

【発明の効果】以上説明したように本発明によれば、トップゲートn型のTFTにおいて、2層構造を有するゲート配線層の第1層を順テーパ形状とし、第2層を逆テーパ形状とすることにより、半導体層上に、レジストマスクを用いる事無く1回のドーピング工程にて、LDD領域及び、ソース・ドレイン領域を同時に自己整合的にイオン・ドーピングでき、製造工程数の低減を図れると共に、LDD長のばらつきを生じることなく、従来に比しLDD長をより微細に制御可能であり所望のLDD長を容易に得られ、移動度の低下やばらつき、あるいはしきい値電圧のばらつきの無い、特性の安定したTFTを容易に得られる。更にこの様に高移動度且つ安定した特性を有するTFTを液晶表示装置の駆動素子として用いる事により、液晶表示装置にあっては良好な表示品位を得られ、大型のアクティブマトリクス型液晶表示装置への適用も可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態の液晶表示装置を示す概略

断面図である。

【図2】本発明の実施の形態のTFTを示す概略断面図である。

【図3】本発明の実施の形態のTFTの製造工程を示し、(イ)はそのアモルファスシリコン膜の結晶化時、(ロ)はポリシリコン膜のパターニング時、(ハ)は第1層形成時、(ニ)はテーパ形成後のゲート配線層を用いたイオン・ドーピング時、(ホ)は層間絶縁膜形成時、(ヘ)はコンタクトホール形成時、(ト)はソース電極、ドレイン電極形成時を示す概略説明図である。

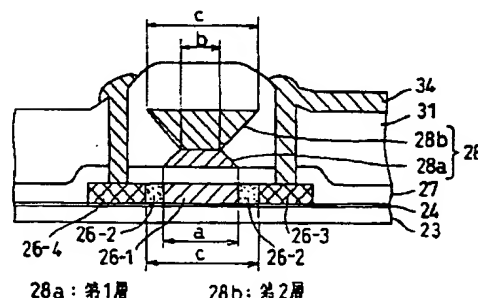
【図4】本発明によるTFTのゲート配線層の(c-a)の値に対するしきい値電圧シフト量を示すグラフである。

【図5】従来のTFTの製造工程を示し、(イ)はそのポリシリコン膜のパターニング時、(ロ)はLDD領域形成時、(ハ)はソース・ドレイン領域形成時を示す概略説明図である。

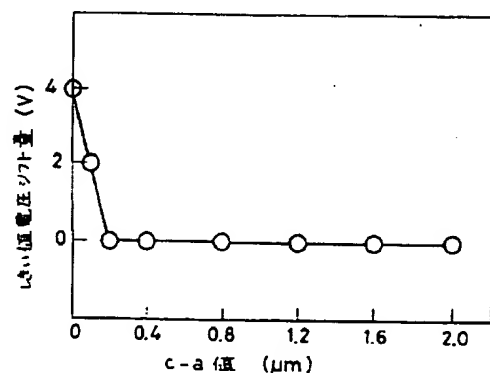
【符号の説明】

- 16…液晶表示装置
- 17…TFT
- 18…アレイ基板
- 19…対向基板
- 21…液晶組成物
- 26…半導体層
- 26-1…チャネル領域
- 26-2…LDD領域
- 26-3…ソース領域
- 26-4…ドレイン領域
- 28…ゲート配線層
- 28a…第1層
- 28b…第2層
- 32…画素電極
- 33…ドレイン電極
- 34…ソース電極

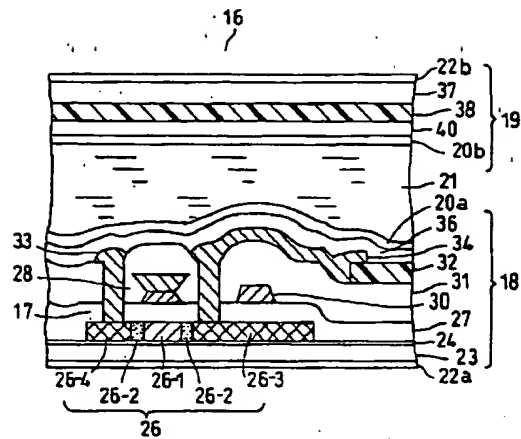
【図2】



【図4】

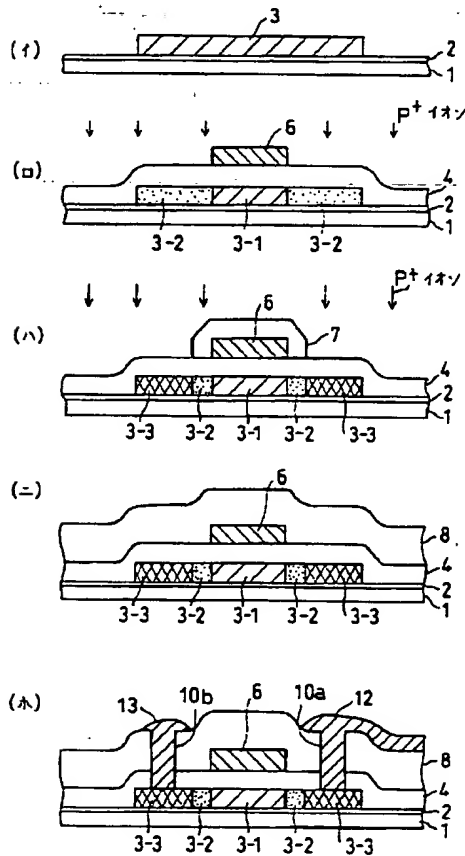


【図1】



16: 液晶表示装置 17: TFT 18: 基板
 21: 液晶素子 26: 半導体層 26-1: チャネル領域
 26-2: LDD領域 26-3: ソース領域 26-4: ドレイン領域
 28: ゲート配線層 32: 画素電極 33: フレイン電極 34: ソース電極

【図5】



【図3】

